

PATENT
81754.0114
Express Mail Label No. EV 324 112 472 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Terunao HANAOKA et al.

Serial No: Not assigned

Filed: March 17, 2004

For: Semiconductor Wafer, Semiconductor Device and Method for Manufacturing Same, Circuit Board, and Electronic Apparatus

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

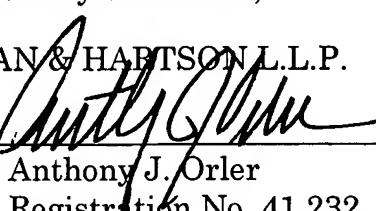
Enclosed herewith are certified copies of Japanese patent application Nos. 2003-078094 filed March 20, 2003 and 2003-385419 filed November 14, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HABTSON L.L.P.

Date: March 17, 2004

By: 
Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月 20日

出願番号 Application Number: 特願 2003-078094

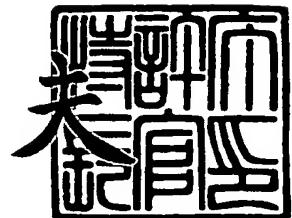
[ST. 10/C]: [JP 2003-078094]

出願人 Applicant(s): セイコーエプソン株式会社

2003年12月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 EP-0437201
【提出日】 平成15年 3月20日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 23/12
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 花岡 毅直
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 黒澤 康則
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100090479
【弁理士】
【氏名又は名称】 井上 一
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090387
【弁理士】
【氏名又は名称】 布施 行夫
【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体ウエハ、半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 集積回路が形成されており、前記集積回路に電気的に接続したパッドを含む半導体チップと、

凹部を有し、前記パッドと電気的に接続する配線層と、

前記配線層の前記凹部に接合するように設けられてなる外部端子と、

貫通穴が形成されており、前記貫通穴と前記凹部がオーバーラップするように前記配線層上に設けられてなる樹脂層と、

を含む半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記凹部は、その開口幅よりも深さ方向に進んだ位置での幅が大きくなるよう形成されてなる半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、

前記凹部は、その開口幅よりも深さ方向に進んだ第 1 の位置での第 1 の幅が大きくなり、前記第 1 の幅よりもさらに深さ方向に進んだ第 2 の位置での第 2 の幅が小さくなるように形成されてなる半導体装置。

【請求項 4】 請求項 1 から請求項 3 のいずれかに記載の半導体装置において、

前記樹脂層の前記貫通穴の内面は、前記外部端子に接触してなる半導体装置。

【請求項 5】 請求項 1 から請求項 4 のいずれかに記載の半導体装置において、

前記半導体チップ上に形成された応力緩和層をさらに有し、

前記配線層は、前記応力緩和層上に形成されてなる半導体装置。

【請求項 6】 請求項 1 から請求項 5 のいずれかに記載の半導体装置において、

前記樹脂層は、ソルダレジストから形成されてなる半導体装置。

【請求項 7】 請求項1から請求項6のいずれかに記載の半導体装置が実装された回路基板。

【請求項 8】 請求項1から請求項6のいずれかに記載の半導体装置を有する電子機器。

【請求項 9】 複数の集積回路が形成されており、それぞれの前記集積回路に電気的に接続したパッドを含む半導体基板と、

凹部を有し、前記パッドと電気的に接続する配線層と、

前記配線層の前記凹部に接合するように設けられてなる外部端子と、

貫通穴が形成されており、前記貫通穴と前記凹部がオーバーラップするように前記配線層上に設けられてなる樹脂層と、

を含む半導体ウエハ。

【請求項 10】 請求項9記載の半導体ウエハにおいて、
前記凹部は、その開口幅よりも深さ方向に進んだ位置での幅が大きくなるよう
に形成されてなる半導体ウエハ。

【請求項 11】 請求項9記載の半導体ウエハにおいて、
前記凹部は、その開口幅よりも深さ方向に進んだ第1の位置での第1の幅が大
きくなり、前記第1の幅よりもさらに深さ方向に進んだ第2の位置での第2の幅
が小さくなるように形成されてなる半導体ウエハ。

【請求項 12】 請求項9から請求項11のいずれかに記載の半導体ウエハ
において、

前記樹脂層の前記貫通穴の内面は、前記外部端子に接触してなる半導体ウエハ
。

【請求項 13】 請求項9から請求項12のいずれかに記載の半導体ウエハ
において、

前記半導体基板上に形成された応力緩和層をさらに有し、

前記配線層は、前記応力緩和層上に形成されてなる半導体ウエハ。

【請求項 14】 請求項9から請求項13のいずれかに記載の半導体ウエハ
において、

前記樹脂層は、ソルダレジストから形成されてなる半導体ウエハ。

【請求項 15】 集積回路が形成されており、前記集積回路に電気的に接続したパッドを含む半導体基板に、前記パッドと電気的に接続する配線層を形成すること、

前記配線層を覆うように樹脂層を形成すること、

前記樹脂層及び前記配線層に、それぞれ、貫通穴及び凹部をオーバーラップするように形成すること、及び、

前記配線層の前記凹部に接合するように外部端子を設けること、

を含む半導体装置の製造方法。

【請求項 16】 請求項 15 記載の半導体装置の製造方法において、前記樹脂層に前記貫通穴を形成した後に、前記配線層に前記凹部を形成する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体ウエハ、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【従来の技術】

【0003】

【特許文献 1】

国際公開第WO 98/32170号パンフレット

【0004】

【発明の背景】

半導体装置として、実装作業性や高密度化などの要求を満たす表面実装型パッケージが知られている。例えば、CSP (Chip Scale/Size Package) では、半導体チップ上に樹脂層を介して配線が形成され、その上に外部端子（例えばハンダボール）が設けられている。このように、配線上に外部端子を設ける場合、両者の接合強度や電気的接続性能の向上が求められる。

【0005】

本発明は、配線と外部端子の接合強度や電気的接続性能の向上を目的とする。

【0006】

【課題を解決するための手段】

(1) 本発明に係る半導体装置は、集積回路が形成されており、前記集積回路に電気的に接続したパッドを含む半導体チップと、

凹部を有し、前記パッドと電気的に接続する配線層と、

前記配線層の前記凹部に接合するように設けられてなる外部端子と、

貫通穴が形成されており、前記貫通穴と前記凹部がオーバーラップするように前記配線層上に設けられてなる樹脂層と、

を含む。本発明によれば、配線層に凹部が形成されているので、配線層と外部端子の接合強度が向上する。また、凹部を形成することで、配線層の外部端子との接触面積が大きくなるので、配線層と外部端子との電気的接続性能が向上する。

(2) この半導体装置において、

前記凹部は、その開口幅よりも深さ方向に進んだ位置での幅が大きくなるように形成されていてもよい。

(3) この半導体装置において、

前記凹部は、その開口幅よりも深さ方向に進んだ第1の位置での第1の幅が大きくなり、前記第1の幅よりもさらに深さ方向に進んだ第2の位置での第2の幅が小さくなるように形成されていてもよい。

(4) この半導体装置において、

前記樹脂層の前記貫通穴の内面は、前記外部端子に接触していてもよい。

(5) この半導体装置は、

前記半導体チップ上に形成された応力緩和層をさらに有し、

前記配線層は、前記応力緩和層上に形成されていてもよい。

(6) この半導体装置において、

前記樹脂層は、ソルダレジストから形成されていてもよい。

(7) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(8) 本発明に係る電子機器は、上記半導体装置を有する。

(9) 本発明に係る半導体ウエハは、複数の集積回路が形成されており、それぞれの前記集積回路に電気的に接続したパッドを含む半導体基板と、

凹部を有し、前記パッドと電気的に接続する配線層と、

前記配線層の前記凹部に接合するように設けられてなる外部端子と、

貫通穴が形成されており、前記貫通穴と前記凹部がオーバーラップするように前記配線層上に設けられてなる樹脂層と、

を含む。本発明によれば、配線層に凹部が形成されているので、配線層と外部端子の接合強度が向上する。また、凹部を形成することで、配線層の外部端子との接触面積が大きくなるので、配線層と外部端子との電気的接続性能が向上する。

(10) この半導体ウエハにおいて、

前記凹部は、その開口幅よりも深さ方向に進んだ位置での幅が大きくなるように形成されていてもよい。

(11) この半導体ウエハにおいて、

前記凹部は、その開口幅よりも深さ方向に進んだ第1の位置での第1の幅が大きくなり、前記第1の幅よりもさらに深さ方向に進んだ第2の位置での第2の幅が小さくなるように形成されていてもよい。

(12) この半導体ウエハにおいて、

前記樹脂層の前記貫通穴の内面は、前記外部端子に接触していてもよい。

(13) この半導体ウエハは、

前記半導体基板上に形成された応力緩和層をさらに有し、

前記配線層は、前記応力緩和層上に形成されていてもよい。

(14) この半導体ウエハにおいて、

前記樹脂層は、ソルダレジストから形成されていてもよい。

(15) 本発明に係る半導体装置の製造方法は、集積回路が形成されており、前記集積回路に電気的に接続したパッドを含む半導体基板に、前記パッドと電気的に接続する配線層を形成すること、

前記配線層を覆うように樹脂層を形成すること、

前記樹脂層及び前記配線層に、それぞれ、貫通穴及び凹部をオーバーラップす

るよう^に形成すること、及び、

前記配線層の前記凹部に接合するように外部端子を設けること、

を含む。本発明によれば、配線層に凹部を形成し、凹部に外部端子を設けるの^で、配線層と外部端子の接合強度が向上する。また、凹部を形成することで、配線層の外部端子との接触面積が大きくなるので、配線層と外部端子との電気的接続性能が向上する。

(16) この半導体装置の製造方法において、

前記樹脂層に前記貫通穴を形成した後に、前記配線層に前記凹部を形成してもよい。

【0007】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0008】

(第1の実施の形態)

図1～図4は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、図1に示すように半導体基板10を使用する。半導体基板10には、集積回路12が形成されている。半導体基板10を複数の半導体チップに切り出す場合、半導体基板10には、複数の集積回路12が形成され、個々の半導体チップが個々の集積回路12を有することになる。

【0009】

半導体基板10の表面には、パッシベーション膜14が形成されていてもよい。例えば、SiO₂又はSiN等の無機材料でパッシベーション膜14を形成してもよい。パッシベーション膜14を複数層で形成してもよい。その場合、少なくとも1層(例えば表面層)を有機材料で形成してもよい。半導体基板10(その表面)には、パッド16が形成されている。パッド16は、集積回路(例えば半導体集積回路)12に電気的に接続されている。パッシベーション膜14は、パッド16の少なくとも中央部を避けて形成されている。

【0010】

半導体基板10には、応力緩和層18を形成してもよい。応力緩和層18は、

半導体基板10に樹脂前駆体（例えば熱硬化性樹脂前駆体）を塗布して形成してもよいし、半導体基板10上で樹脂前駆体をスピンドルコートによって拡げて形成してもよい。応力緩和層18は、複数層で形成してもよいし、1層で形成しもよい。応力緩和層18は、電気的絶縁層である。応力緩和層18は、ポリイミド樹脂、シリコーン変性ポリイミド樹脂、エポキシ樹脂、シリコーン変性エポキシ樹脂、ベンゾシクロブテン（B C B；benzocyclobutene）、ポリベンゾオキサゾール（P B O；polybenzoxazole）等で形成してもよい。応力緩和層18は、導電性粒子を含まない。応力緩和層18は、遮光性を有する材料で形成してもよい。

【0011】

応力緩和層18は、放射線（光線（紫外線、可視光線）、X線、電子線）に感応する性質を有する放射線感応性樹脂前駆体で形成してもよい。放射線感応性樹脂前駆体（例えば感光性樹脂前駆体）として、放射線の照射された部分の溶解性が減少して不溶性となるネガ型と、放射線の照射された部分の溶解性が増加するポジ型がある。

【0012】

応力緩和層18は、パッド16上を避けるように形成してもよい。応力緩和層18は、半導体基板10の切断用領域を避けるように形成してもよい。応力緩和層18は、半導体基板10上に連続的又は一体的に形成した後にパターニングしてもよい。半導体基板10の複数領域（複数の集積回路12が形成された領域）のそれぞれに、応力緩和層18を形成してもよい。その場合、隣同士の応力緩和層18の間にはスペースがある。

【0013】

応力緩和層18上に配線層20を形成する。配線層20は、1層で形成してもよいし、複数層で形成してもよい。例えば、スパッタリングでTiW層及びCu層を積層し、その上にメッキによってCu層を形成してもよい。その形成方法には、公知の技術を適用することができる。配線層20は、パッド16上を通るように（パッド16と電気的に接続されるように）形成する。配線層20は、パッド16上から応力緩和層18上に形成する。配線層20は、ランド（ラインよりも幅の広い部分）を有するように形成してもよい。ランドは、その上に外部端子

28を設けるためのものである。

【0014】

応力緩和層18上に樹脂層22を形成する。樹脂層22はソルダレジストから形成してもよい。樹脂層22は、配線層20の全体あるいは一部（例えば外部端子28を設ける領域を除く部分）を覆うように形成する。樹脂層22は、応力緩和層18を覆うように（例えば完全に覆うように）形成してもよい。樹脂層22は、半導体基板10の切断用領域が露出するように（切断用領域を避けるように）形成してもよい。樹脂層22は、導電性粒子を含まない。樹脂層22は、遮光性を有する材料で形成してもよい。

【0015】

樹脂層22は、半導体基板10上に連続的又は一体的に形成した後にパターニングしてもよい。半導体基板10の複数領域（複数の集積回路12が形成された領域）のそれぞれに、樹脂層22を形成してもよい。隣同士の樹脂層22の間にはスペースがある。

【0016】

図2に示すように、樹脂層22に貫通穴24を形成する。樹脂層22を、放射線（光線（紫外線、可視光線）、X線、電子線）に感応する性質を有する放射線感応性樹脂前駆体で形成し、これに放射線を照射してパターニング（例えば現像）してもよい。放射線感応性樹脂前駆体（例えば感光性樹脂前駆体）として、放射線の照射された部分の溶解性が減少して不溶性となるネガ型と、放射線の照射された部分の溶解性が増加するポジ型がある。樹脂層22を熱硬化性樹脂前駆体で形成した場合には、これを加熱して硬化させる。

【0017】

また、配線層20に凹部26を形成する。貫通穴24及び凹部26は、オーバーラップするように形成する。凹部26の形成には、エッチング（例えばドライエッティング）を適用してもよい。樹脂層22に貫通穴24を形成した後に、配線層20に凹部26を形成してもよい。凹部26は、その開口幅よりも深さ方向に進んだ位置での幅が小さくなるように形成してもよい。凹部26は、その内面が角を有しないように形成してもよい。凹部26は、その内面が緩やかな曲面にな

るよう^に形成してもよい。

【0018】

図3に示すように、外部端子28を形成する。外部端子28は配線層20上に形成する。詳しくは、外部端子28は配線層20の凹部26に接合するように形成する。外部端子28は、樹脂層22の貫通穴24の内面に接触してもよい。

【0019】

外部端子28は、軟ろう(soft solder)又は硬ろう(hard solder)のいずれで形成してもよい。軟ろうとして、鉛を含まないハンダ(以下、鉛フリーハンダという。)を使用してもよい。鉛フリーハンダとして、スズー銀(Sn—Ag)系、スズービスマス(Sn—Bi)系、スズー亜鉛(Sn—Zn)系、あるいはスズー銅(Sn—Cu)系の合金を使用してもよいし、これらの合金に、さらに銀、ビスマス、亜鉛、銅のうち少なくとも1つを添加してもよい。外部端子28の形成には、周知の方法を適用することができる。

【0020】

図4に示すように、樹脂層22上に第2の樹脂層30を形成してもよい。第2の樹脂層30には、応力緩和層18の内容が該当してもよい。第2の樹脂層30は、外部端子28を囲むように設ける。第2の樹脂層30は、外部端子28の一部(例えば根本部)を覆っていてもよい。第2の樹脂層30は、樹脂層22を覆うように(例えば完全に覆うように)形成してもよい。第2の樹脂層30は、半導体基板10の全体を覆うように形成した後にパターニングしてもよい。第2の樹脂層30を、外部端子28が覆われるよう^に設けた後、外部端子28の上端部から第2の樹脂層30を除去してもよい。パターニングには、応力緩和層18のパターニングで説明した内容を適用することができる。あるいは、レーザの使用又はアッシングによって、第2の樹脂層30の一部を除去してもよい。

【0021】

本発明の実施の形態に係る半導体ウエハは、半導体基板10を有する。半導体基板10には、複数の集積回路12(図1参照)が形成され、表面にパッド16が形成されている。パッド16は、それぞれの集積回路12に電気的に接続する。パッド16と電気的に接続するように配線層20が形成されている。配線層2

0上に、樹脂層22が形成されている。配線層20上に外部端子28が形成されている。外部端子28を囲むように第2の樹脂層30が形成されていてもよい。

【0022】

樹脂層22には貫通穴24が形成されている。配線層20には凹部26が形成されている。貫通穴24及び凹部26は、オーバーラップするように形成されている。凹部26の開口全体が貫通穴24内に形成されていてもよい。外部端子28は、樹脂層22の貫通穴24の内面に接触していてもよい。外部端子28は、凹部26に接合するように設けられている。したがって、凹部26によって、配線層20と外部端子28の接合強度が高い。また、凹部26を形成することで、配線層20の外部端子28との接触面積が大きくなるので、配線層20と外部端子28との電気的接続性能が向上する。その他の詳細については、上述した通りである。

【0023】

図4に示すように、半導体基板10を、例えばカッタ（又はブレード）32等によって、切断（例えば、スクライビング又はダイシング）する。こうして、半導体装置を得ることができる。

【0024】

図5及び図6は、本実施の形態に係る半導体装置を説明する図であり、図5は、図6のV-V線断面図である。半導体装置は、半導体チップ40を有する。半導体チップ40は、半導体基板10から切り出されたものであってもよい。半導体装置のその他の詳細は、半導体ウエハについての内容が該当する。

【0025】

(第2の実施の形態)

図7は、本発明の第2の実施の形態に係る半導体装置の製造方法を示す図である。本実施の形態では、配線層20に形成する凹部36の形状が、第1の実施の形態の凹部26と異なる。凹部36は、その開口幅よりも深さ方向に進んだ位置での幅が大きくなるように形成されてなる。凹部36は、その開口幅よりも深さ方向に進んだ第1の位置での第1の幅が大きくなり、第1の幅よりもさらに深さ方向に進んだ第2の位置での第2の幅が小さくなるように形成されてなる。配線

層 20 を等方的にエッチングすると、この形状の凹部 36 が得られる。例えば、樹脂層 22 に貫通穴 24 を形成した後に、ウエットエッチングによって凹部 36 を形成してもよい。それ以外の内容は、第 1 の実施の形態で説明した内容が該当する。

【0026】

図 8 は、本発明の第 2 の実施の形態に係る半導体装置を示す図である。半導体装置は、図 7 に示す半導体ウエハから製造してもよい。本実施の形態では、配線層 20 の凹部 36 に接合するように外部端子 38 が設けられている。したがって、凹部 36 によって、配線層 20 と外部端子 38 の接合強度が高い。また、凹部 36 を形成することで、配線層 20 の外部端子 38 との接触面積が大きくなるので、配線層 20 と外部端子 38 との電気的接続性能が向上する。その他の内容は、第 1 の実施の形態で説明した内容が該当する。

【0027】

図 9 には、上述した実施の形態で説明した半導体装置 1 が実装された回路基板 1000 が示されている。この半導体装置を有する電子機器として、図 10 にはノート型パーソナルコンピュータ 2000 が示され、図 11 には携帯電話 3000 が示されている。

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図 1】 図 1 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 2】 図 2 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法

を説明する図である。

【図 3】 図 3 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 4】 図 4 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 5】 図 5 は、図 6 の V-V 線断面の一部拡大図である。

【図 6】 図 6 は、本発明の第 1 の実施の形態に係る半導体装置を説明する図である。

【図 7】 図 7 は、本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 8】 図 8 は、本発明の第 2 の実施の形態に係る半導体装置を説明する図である。

【図 9】 図 9 は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図 10】 図 10 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【図 11】 図 11 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

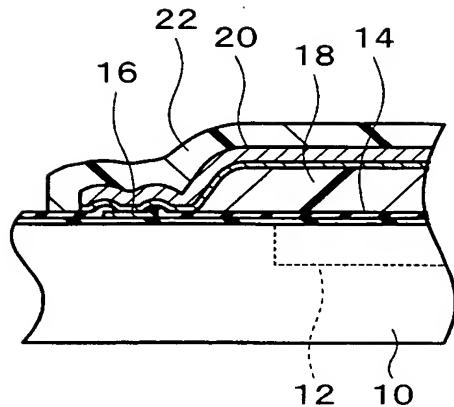
【符号の説明】

1 … 半導体装置 10 … 半導体基板 12 … 集積回路 14 … パッシベーション膜
16 … パッド 18 … 応力緩和層 20 … 配線層 22 … 樹脂層 24 …
貫通穴 26 … 凹部 28 … 外部端子 30 … 第 2 の樹脂層 36 … 凹部 38
… 外部端子 40 … 半導体チップ

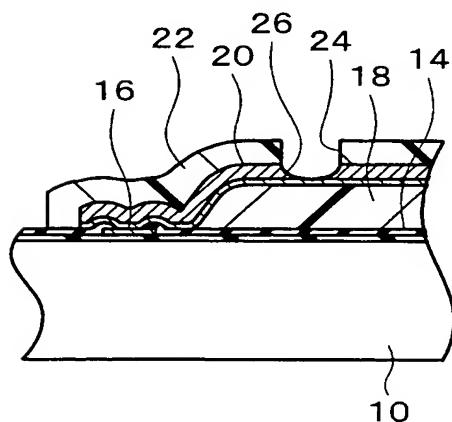
【書類名】

図面

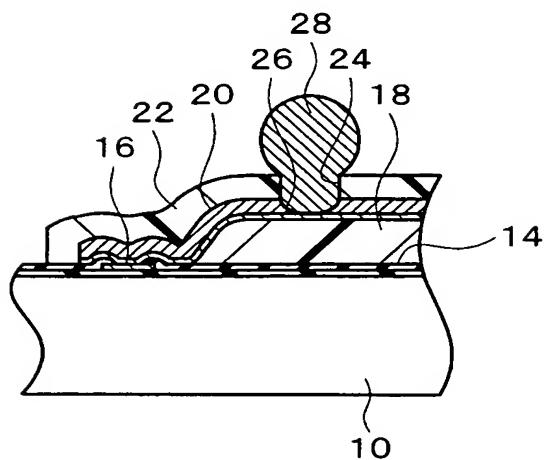
【図 1】



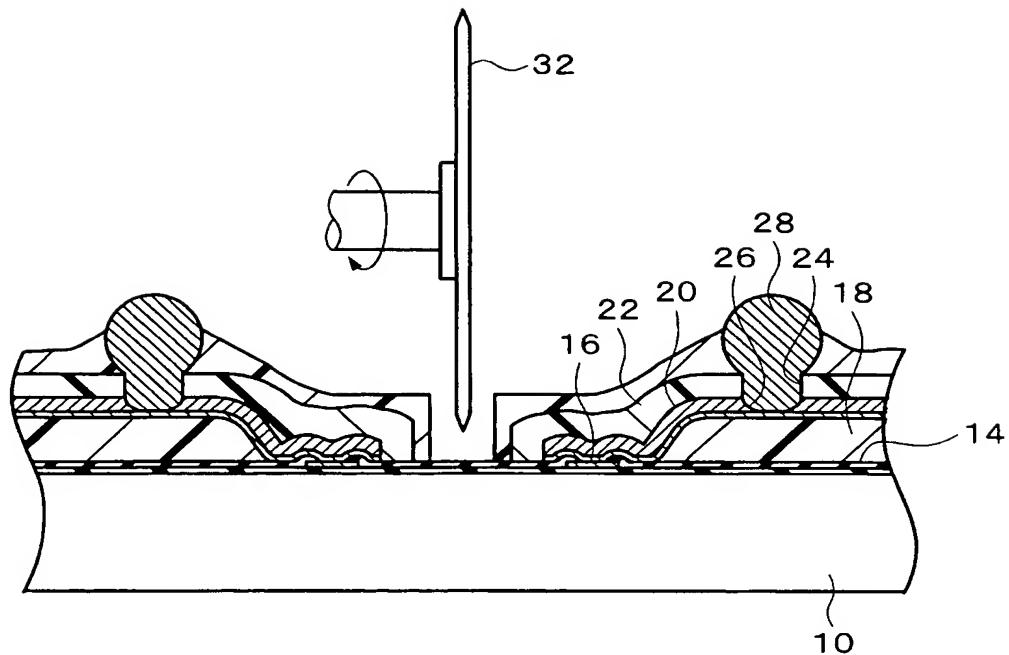
【図 2】



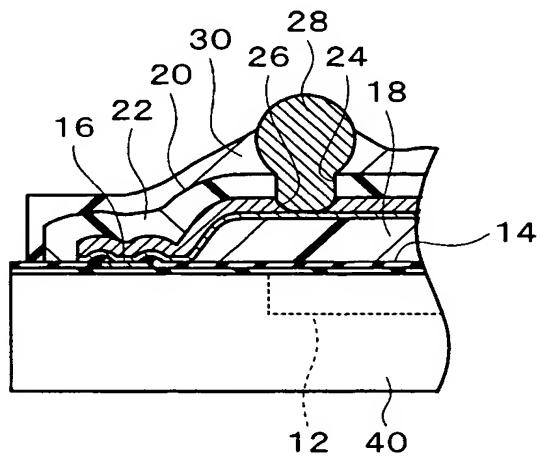
【図 3】



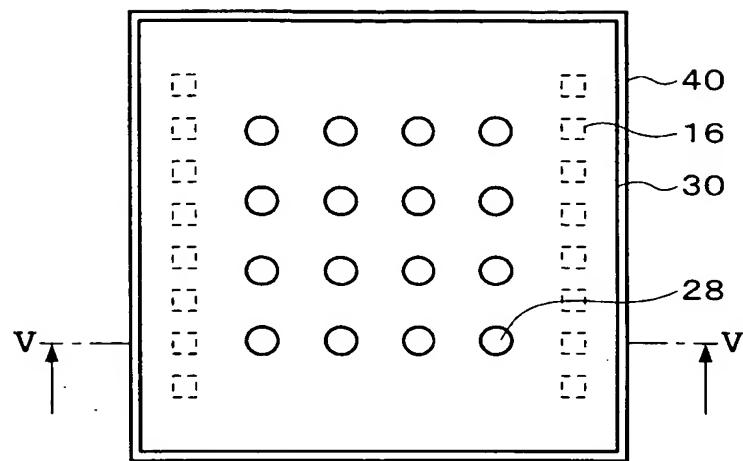
【図4】



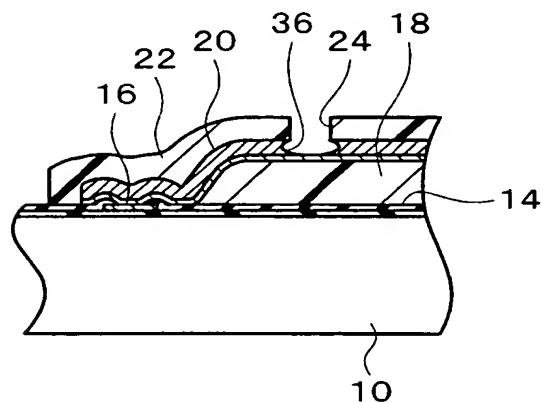
【図5】



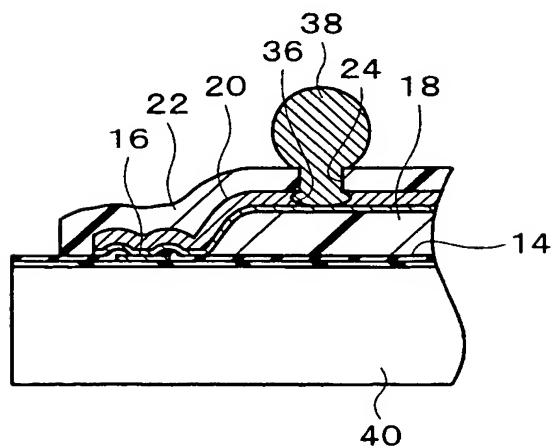
【図6】



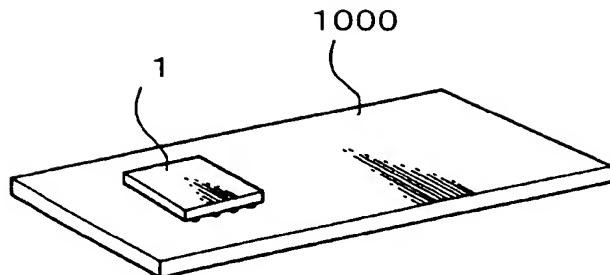
【図7】



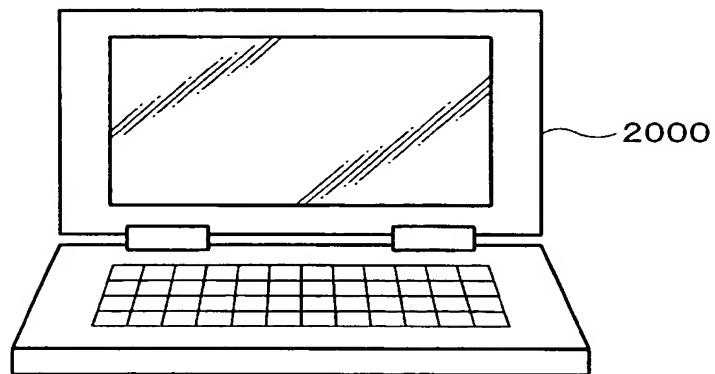
【図8】



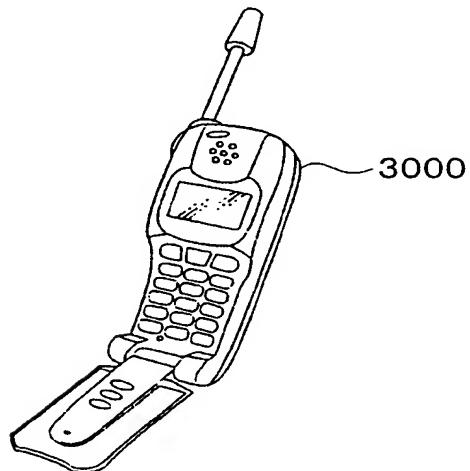
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 本発明は、配線と外部端子の接合強度や電気的接続性能の向上を目的とする。

【解決手段】 半導体装置は、集積回路 12 に電気的に接続したパッド 16 を含む半導体チップ 40 と、パッド 16 と電気的に接続する配線層 20 と、配線層 20 の凹部 26 に接合するように設けられてなる外部端子 28 と、凹部 26 とオーバーラップする貫通穴 24 が形成されて配線層 20 上に設けられてなる樹脂層 22 と、を含む。

【選択図】 図 5

特願2003-078094

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号
氏名 セイコーエプソン株式会社